

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2 0 0 4 年 7 月 2 0 日

出 願 番 号

Application Number:

特 願 2 0 0 4 - 2 1 1 4 9 3

パリ条約による外国への出願
に用いる優先権の主張の基礎
となる出願の国コードと出願
番号

The country code and number
of your priority application,
to be used for filing abroad
under the Paris Convention, is

J P 2 0 0 4 - 2 1 1 4 9 3

出 願 人

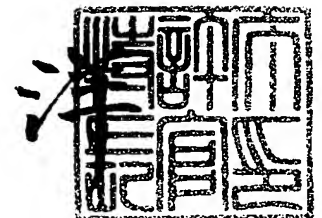
Applicant(s):

株式会社リコー

2 0 0 5 年 8 月 3 日

特許庁長官
Commissioner,
Japan Patent Office

小 川



【官 旗 名】 特 許 願
【整理番号】 195329
【提出日】 平成16年 7月20日
【あて先】 特許庁長官殿
【国際特許分類】 H02M 3/155
【発明者】
 【住所又は居所】 東京都大田区中馬込1丁目3番6号 株式会社リコー内
 【氏名】 西田 淳二
【特許出願人】
 【識別番号】 000006747
 【住所又は居所】 東京都大田区中馬込1丁目3番6号
 【氏名又は名称】 株式会社リコー
【代理人】
 【識別番号】 100086405
 【弁理士】
 【氏名又は名称】 河宮 治
 【電話番号】 06-6949-1261
 【ファクシミリ番号】 06-6949-0361
【選任した代理人】
 【識別番号】 100098280
 【弁理士】
 【氏名又は名称】 石野 正弘
 【電話番号】 06-6949-1261
 【ファクシミリ番号】 06-6949-0361
 【連絡先】 担当
【手数料の表示】
 【予納台帳番号】 163028
 【納付金額】 16,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 9808860

【請求項 1】

入力端子に入力された電圧を所定の電圧に変換して出力端子から出力する降圧型のスイッチングレギュレータにおいて、

制御電極に入力された制御信号に応じてスイッチングし、前記入力電圧の出力制御を行う P M O S トランジスタからなるスイッチングトランジスタと、

該スイッチングトランジスタから出力された電圧を平滑して前記出力端子に出力する平滑回路部と、

入力される制御信号に応じて前記スイッチングトランジスタのサブストレートゲートの接続を切り替える切替回路部と、

前記出力端子の電圧が所定の電圧になるように前記スイッチングトランジスタに対するスイッチング制御を行う制御回路部と、

を備え、

前記切替回路部は、前記入力端子の電圧が前記出力端子の電圧以下である場合は、スイッチングトランジスタに対してサブストレートゲートをドレインに接続するように制御され、前記入力端子の電圧が前記出力端子の電圧を超える場合は、スイッチングトランジスタに対してサブストレートゲートをソースに接続するように制御されることを特徴とするスイッチングレギュレータ。

【請求項 2】

前記入力端子と出力端子との電圧を比較し、該比較結果に応じて前記切替回路部の切替制御を行う切替制御回路部を備え、該切替制御回路部は、前記入力端子の電圧が前記出力端子の電圧以下である場合は、スイッチングトランジスタに対してサブストレートゲートがドレインに接続されるように前記切替回路部を制御し、前記入力端子の電圧が前記出力端子の電圧を超えている場合は、スイッチングトランジスタに対してサブストレートゲートがソースに接続されるように前記切替回路部を制御することを特徴とする請求項 1 記載のスイッチングレギュレータ。

【請求項 3】

前記切替回路部は、前記入力端子の電圧と前記出力端子の電圧に応じて前記切替回路部の切替制御を行う外部の切替制御回路部によって、前記入力端子の電圧が前記出力端子の電圧以下である場合はスイッチングトランジスタに対してサブストレートゲートをドレインに接続するように制御され、前記入力端子の電圧が前記出力端子の電圧を超えている場合はスイッチングトランジスタに対してサブストレートゲートをソースに接続するように制御されることを特徴とする請求項 1 記載のスイッチングレギュレータ。

【請求項 4】

前記スイッチングトランジスタのゲートとドレインの接続を行うスイッチ回路部を備え、前記入力端子の電圧が前記出力端子の電圧以下である場合は、前記切替制御回路部からの制御信号に基づいて、前記制御回路部はスイッチングトランジスタのゲートに対する制御信号の出力を停止すると共に、前記スイッチ回路部はスイッチングトランジスタのゲートとドレインを接続し、前記入力端子の電圧が前記出力端子の電圧を超える場合は、前記切替制御回路部からの制御信号に基づいて、前記制御回路部はスイッチングトランジスタのゲートに制御信号を出力すると共に、前記スイッチ回路部はスイッチングトランジスタのゲートとドレインの接続を遮断することを特徴とする請求項 2 又は 3 記載のスイッチングレギュレータ。

【請求項 5】

前記スイッチ回路部は、電界効果トランジスタで形成されたスイッチ回路で構成されることを特徴とする請求項 4 記載のスイッチングレギュレータ。

【請求項 6】

前記切替回路部は、電界効果トランジスタで形成された切替スイッチ回路で構成されることを特徴とする請求項 1、2、3、4 又は 5 記載のスイッチングレギュレータ。

【請求項 7】

前記平滑回路部は、前記スイッチングトランジスタと直列に接続され、前記制御回路部によってスイッチング制御される同期整流用トランジスタを備え、前記スイッチングトランジスタ、該同期整流用トランジスタ、切替回路部、切替制御回路部、制御回路部及びスイッチ回路部は、1つのICに集積されることを特徴とする請求項4記載のスイッチングレギュレータ。

【請求項8】

前記平滑回路部は、前記スイッチングトランジスタと直列に接続され、前記制御回路部によってスイッチング制御される同期整流用トランジスタを備え、前記スイッチングトランジスタ、該同期整流用トランジスタ、切替回路部、制御回路部及びスイッチ回路部は、1つのICに集積されることを特徴とする請求項4記載のスイッチングレギュレータ。

【請求項9】

対応する入力端子に入力された電圧を所定の電圧に変換して所定の出力端子へそれぞれ出力する少なくとも1つの降圧型のスイッチングレギュレータ及び少なくとも1つのリニアレギュレータを備えた電源回路において、

前記スイッチングレギュレータは、

制御電極に入力された制御信号に応じてスイッチングし、前記入力電圧の出力制御を行うPMOSトランジスタからなるスイッチングトランジスタと、

該スイッチングトランジスタから出力された電圧を平滑して前記出力端子に出力する平滑回路部と、

入力される制御信号に応じて前記スイッチングトランジスタのサブストレータゲートの接続を切り替える第1切替回路部と、

前記出力端子の電圧が所定の電圧になるように前記スイッチングトランジスタに対するスイッチング制御を行う第1制御回路部と、
を備え、

前記第1切替回路部は、前記入力端子の電圧が前記出力端子の電圧以下である場合は、スイッチングトランジスタに対してサブストレータゲートをドレインに接続するように制御され、前記入力端子の電圧が前記出力端子の電圧を超える場合は、スイッチングトランジスタに対してサブストレータゲートをソースに接続するように制御されることを特徴とする電源回路。

【請求項10】

前記リニアレギュレータは、

制御電極に入力された制御信号に応じて、対応する入力端子から出力端子への電流を制御して前記出力端子の電圧を制御するPMOSトランジスタからなる電圧制御トランジスタと、

該電圧制御トランジスタのサブストレータゲートの接続を切り替える第2切替回路部と

前記対応する入力端子の電圧と前記出力端子の電圧に応じて該第2切替回路部の切替制御を行う第2切替制御回路部と、

前記出力端子の電圧が所定の電圧になるように前記電圧制御トランジスタの動作制御を行う第2制御回路部と、
を備え、

前記第2切替制御回路部は、前記対応する入力端子の電圧が前記出力端子の電圧以下である場合は、電圧制御トランジスタに対してサブストレータゲートがドレインに接続されるように前記第2切替回路部を制御し、前記対応する入力端子の電圧が前記出力端子の電圧を超える場合は、電圧制御トランジスタに対してサブストレータゲートがソースに接続されるように前記第2切替回路部を制御することを特徴とする請求項9記載の電源回路。

【請求項11】

前記スイッチングレギュレータは、前記対応する入力端子と出力端子との電圧を比較し、該比較結果に応じて前記第1切替回路部の切替制御を行う第1切替制御回路部を備え、該第1切替制御回路部は、前記対応する入力端子の電圧が前記出力端子の電圧以下である場合は、スイッチングトランジスタに対してサブストレータゲートがドレインに接続され

るよ、に前記第 1 切替回路部を制御し、前記対応する入力端子の電圧が前記出力端子の電圧を超えている場合は、スイッチングトランジスタに対してサブストレートゲートがソースに接続されるように前記第 1 切替回路部を制御することを特徴とする請求項 9 又は 10 記載の電源回路。

【請求項 12】

前記第 1 切替回路部は、前記対応する入力端子の電圧と前記出力端子の電圧に応じて前記第 1 切替回路部の切替制御を行う外部の第 1 切替制御回路部によって、前記対応する入力端子の電圧が前記出力端子の電圧以下である場合はスイッチングトランジスタに対してサブストレートゲートをドレインに接続するように制御され、前記対応する入力端子の電圧が前記出力端子の電圧を超えている場合はスイッチングトランジスタに対してサブストレートゲートをソースに接続するように制御されることを特徴とする請求項 9 又は 10 記載の電源回路。

【請求項 13】

前記スイッチングレギュレータは、スイッチングトランジスタのゲートとドレインの接続を行うスイッチ回路部を備え、前記対応する入力端子の電圧が前記出力端子の電圧以下である場合は、前記第 1 切替制御回路部からの制御信号に基づいて、前記第 1 制御回路部はスイッチングトランジスタのゲートに対する制御信号の出力を停止すると共に、前記スイッチ回路部はスイッチングトランジスタのゲートとドレインを接続し、前記対応する入力端子の電圧が前記出力端子の電圧を超える場合は、前記第 1 切替制御回路部からの制御信号に基づいて、前記第 1 制御回路部はスイッチングトランジスタのゲートに制御信号を出力すると共に、前記スイッチ回路部はスイッチングトランジスタのゲートとドレインの接続を遮断することを特徴とする請求項 11 又は 12 記載の電源回路。

【請求項 14】

前記平滑回路部は、前記スイッチングトランジスタと直列に接続され、前記制御回路部によってスイッチング制御される同期整流用トランジスタを備え、前記スイッチングトランジスタ、該同期整流用トランジスタ、第 1 切替回路部、第 1 切替制御回路部、第 1 制御回路部、スイッチ回路部及びリニアレギュレータは、1 つの IC に集積されることを特徴とする請求項 13 記載の電源回路。

【請求項 15】

前記平滑回路部は、前記スイッチングトランジスタと直列に接続され、前記制御回路部によってスイッチング制御される同期整流用トランジスタを備え、前記スイッチングトランジスタ、該同期整流用トランジスタ、第 1 切替回路部、第 1 制御回路部、スイッチ回路部及びリニアレギュレータは、1 つの IC に集積されることを特徴とする請求項 13 記載の電源回路。

【請求項 16】

入力端子に入力された電圧を所定の電圧に変換して所定の出力端子へそれぞれ出力する複数の降圧型のスイッチングレギュレータを備えた電源回路において、

前記各スイッチングレギュレータは、

制御電極に入力された制御信号に応じてスイッチングし、前記入力電圧の出力制御を行う PMOS トランジスタからなるスイッチングトランジスタと、

該スイッチングトランジスタから出力された電圧を平滑して前記出力端子に出力する平滑回路部と、

入力される制御信号に応じて前記スイッチングトランジスタのサブストレートゲートの接続を切り替える切替回路部と、

前記出力端子の電圧が所定の電圧になるように前記スイッチングトランジスタに対するスイッチング制御を行う制御回路部と、

をそれぞれ備え、

前記切替回路部は、前記入力端子の電圧が前記出力端子の電圧以下である場合は、スイッチングトランジスタに対してサブストレートゲートをドレインに接続するように制御され、前記入力端子の電圧が前記出力端子の電圧を超える場合は、スイッチングトランジスタ

ノに対して、ソノヘドレートノードをノーへに接続するよ、ノに制御されることを特徴とする電源回路。

【請求項 17】

前記スイッチングレギュレータは、前記対応する入力端子と出力端子との電圧を比較し、該比較結果に応じて前記切替回路部の切替制御を行う切替制御回路部を備え、該切替制御回路部は、前記対応する入力端子の電圧が前記出力端子の電圧以下である場合は、スイッチングトランジスタに対してサブストレータゲートがドレインに接続されるように前記切替回路部を制御し、前記対応する入力端子の電圧が前記出力端子の電圧を超えている場合は、スイッチングトランジスタに対してサブストレータゲートがソースに接続されるように前記切替回路部を制御することを特徴とする請求項 16 記載の電源回路。

【請求項 18】

前記切替回路部は、前記対応する入力端子の電圧と前記出力端子の電圧に応じて前記切替回路部の切替制御を行う外部の切替制御回路部によって、前記対応する入力端子の電圧が前記出力端子の電圧以下である場合はスイッチングトランジスタに対してサブストレータゲートをドレインに接続するように制御され、前記対応する入力端子の電圧が前記出力端子の電圧を超えている場合はスイッチングトランジスタに対してサブストレータゲートをソースに接続するように制御されることを特徴とする請求項 16 記載の電源回路。

【請求項 19】

前記スイッチングレギュレータは、スイッチングトランジスタのゲートとドレインの接続を行うスイッチ回路部を備え、前記対応する入力端子の電圧が前記出力端子の電圧以下である場合は、前記切替制御回路部からの制御信号に基づいて、前記制御回路部はスイッチングトランジスタのゲートに対する制御信号の出力を停止すると共に、前記スイッチ回路部はスイッチングトランジスタのゲートとドレインを接続し、前記対応する入力端子の電圧が前記出力端子の電圧を超える場合は、前記切替制御回路部からの制御信号に基づいて、前記制御回路部はスイッチングトランジスタのゲートに制御信号を出力すると共に、前記スイッチ回路部はスイッチングトランジスタのゲートとドレインの接続を遮断することを特徴とする請求項 17 又は 18 記載の電源回路。

【請求項 20】

前記平滑回路部は、前記スイッチングトランジスタと直列に接続され、前記制御回路部によってスイッチング制御される同期整流用トランジスタを備え、前記スイッチングトランジスタ、該同期整流用トランジスタ、切替回路部、切替制御回路部、制御回路部及びスイッチ回路部は、1つの IC に集積されることを特徴とする請求項 19 記載の電源回路。

【請求項 21】

前記平滑回路部は、前記スイッチングトランジスタと直列に接続され、前記制御回路部によってスイッチング制御される同期整流用トランジスタを備え、前記スイッチングトランジスタ、該同期整流用トランジスタ、切替回路部、制御回路部及びスイッチ回路部は、1つの IC に集積されることを特徴とする請求項 19 記載の電源回路。

【請求項 22】

対応する入力端子に入力された電圧を所定の電圧に変換して二次電池が接続された出力端子へそれぞれ出力する降圧型のスイッチングレギュレータを備えた二次電池の充電回路において、

前記スイッチングレギュレータは、

制御電極に入力された制御信号に応じてスイッチングし、前記入力電圧の出力制御を行う PMOS トランジスタからなるスイッチングトランジスタと、

該スイッチングトランジスタから出力された電圧を平滑して前記出力端子に出力する平滑回路部と、

入力される制御信号に応じて前記スイッチングトランジスタのサブストレータゲートの接続を切り替える切替回路部と、

前記出力端子の電圧が所定の電圧になるように前記スイッチングトランジスタに対するスイッチング制御を行う制御回路部と、

を備え、

前記切替回路部は、前記入力端子の電圧が前記出力端子の電圧以下である場合は、スイッチングトランジスタに対してサブストレートゲートをドレインに接続するように制御され、前記入力端子の電圧が前記出力端子の電圧を超える場合は、スイッチングトランジスタに対してサブストレートゲートをソースに接続するように制御されることを特徴とする二次電池の充電回路。

【請求項 2 3】

前記入力端子と出力端子との電圧を比較し、該比較結果に応じて前記切替回路部の切替制御を行う切替制御回路部を備え、該切替制御回路部は、前記入力端子の電圧が前記出力端子の電圧以下である場合は、スイッチングトランジスタに対してサブストレートゲートがドレインに接続されるように前記切替回路部を制御し、前記入力端子の電圧が前記出力端子の電圧を超えている場合は、スイッチングトランジスタに対してサブストレートゲートがソースに接続されるように前記切替回路部を制御することを特徴とする請求項 2 2 記載の二次電池の充電回路。

【請求項 2 4】

前記切替回路部は、前記入力端子の電圧と前記出力端子の電圧に応じて前記切替回路部の切替制御を行う外部の切替制御回路部によって、前記入力端子の電圧が前記出力端子の電圧以下である場合はスイッチングトランジスタに対してサブストレートゲートをドレインに接続するように制御され、前記入力端子の電圧が前記出力端子の電圧を超えている場合はスイッチングトランジスタに対してサブストレートゲートをソースに接続するように制御されることを特徴とする請求項 2 2 記載の二次電池の充電回路。

【請求項 2 5】

前記スイッチングトランジスタのゲートとドレインの接続を行うスイッチ回路部を備え、前記入力端子の電圧が前記出力端子の電圧以下である場合は、前記切替制御回路部からの制御信号に基づいて、前記制御回路部はスイッチングトランジスタのゲートに対する制御信号の出力を停止すると共に、前記スイッチ回路部はスイッチングトランジスタのゲートとドレインを接続し、前記入力端子の電圧が前記出力端子の電圧を超える場合は、前記切替制御回路部からの制御信号に基づいて、前記制御回路部はスイッチングトランジスタのゲートに制御信号を出力すると共に、前記スイッチ回路部はスイッチングトランジスタのゲートとドレインの接続を遮断することを特徴とする請求項 2 3 又は 2 4 記載の二次電池の充電回路。

【請求項 2 6】

前記平滑回路部は、前記スイッチングトランジスタと直列に接続され、前記制御回路部によってスイッチング制御される同期整流用トランジスタを備え、前記スイッチングトランジスタ、該同期整流用トランジスタ、切替回路部、切替制御回路部、制御回路部及びスイッチ回路部は、1つの IC に集積されることを特徴とする請求項 2 5 記載の二次電池の充電回路。

【請求項 2 7】

前記平滑回路部は、前記スイッチングトランジスタと直列に接続され、前記制御回路部によってスイッチング制御される同期整流用トランジスタを備え、前記スイッチングトランジスタ、該同期整流用トランジスタ、切替回路部、制御回路部及びスイッチ回路部は、1つの IC に集積されることを特徴とする請求項 2 5 記載の二次電池の充電回路。

【発明の名称】 スイッチングレギュレータ、スイッチングレギュレータを使用した電源回路及びスイッチングレギュレータを使用した二次電池の充電回路

【技術分野】

【0001】

本発明は、スイッチングレギュレータ、スイッチングレギュレータを使用した電源回路及びやスイッチングレギュレータを使用した二次電池の充電回路に関し、特に出力端子に電圧が印加されるスイッチングレギュレータにおける該出力端子に接続された電源から入力端子に電流が逆流することを防止する回路に関する。

【背景技術】

【0002】

従来、降圧型のスイッチングレギュレータのスイッチング素子や、リニアレギュレータの電圧制御素子としてはPチャネル型MOSトランジスタ（以下、PMOSトランジスタ）が多く使用されている。二次電池の充電回路や、複数の電源回路の出力端子を共通接続して負荷に電力を供給する並列運転用の電源回路や、主電源がオフした場合に一時的に回路のバックアップを行うバックアップ電源回路等において、PMOSトランジスタを制御素子として用いた電源回路が使用されていた。このようなPMOSトランジスタを使用した電源回路は、出力端に他の電源回路からの電圧が印加される場合、入力端に接続された電源が外れたり、該電源自体が故障した場合に、出力端から入力端に向かって電流が流れ込む、いわゆる電流の逆流が発生していた。また、並列運転用の電源回路では、各電源回路の出力電圧が異なることによって前記電流の逆流が発生していた。

【0003】

図4はPMOSトランジスタの等価回路であり、このような電流の逆流が発生する理由を、図4を用いて説明する。

図4において、ソースSとサブストレータゲート（バックゲートとも言う）SGとの間に接続されているダイオードD1と、ドレインDとサブストレータゲートSGとの間に接続されているダイオードD2は、PMOSトランジスタを半導体装置に集積する際に形成されてしまう寄生ダイオードである。

一般的にPMOSトランジスタを電源回路のスイッチング素子、又は電圧制御素子として使用する場合、該PMOSトランジスタは、ソースSに入力電圧が印加され、ドレインDから出力電圧が取り出される。このため、PMOSトランジスタは、図5で示すように、サブストレータゲートがソースに接続され寄生ダイオードD1をショートされる。このことから、PMOSトランジスタがオフした場合に、寄生ダイオードD2はソースとドレインの間に逆方向に挿入された形になり、入力端に接続されるソース側から出力端に接続されるドレイン側に向かって電流が流れるのを防止する。

【0004】

しかし、このような場合、前述したように、出力端に電圧が印加されている状態で、入力端の電源がなくなるか、又は入力電圧が低下すると、寄生ダイオードD2がオンしてしまい、出力端に接続されたドレイン側から、入力端に接続されたソース側に向かって電流が流れる逆流が発生する。このような逆流は、電源の効率を悪化させるばかりでなく、電源回路を故障させたり、電源回路の機能に不具合を発生させる場合もあることから、逆流を防止する必要があった。

複数の電源回路を並列に接続して運転する場合の逆流防止には、各電源回路の出力端と負荷との間にオア・ダイオードを追加するのが一般的である（例えば、特許文献1参照。）。また、二次電池の充電回路の場合においても、逆流防止はダイオードを用いるのが一般的であるが、降圧型DC-DCコンバータのスイッチング素子としてNチャネル型MOSトランジスタ（以下、NMOSトランジスタと呼ぶ）を使用した場合は、NMOSトランジスタによって逆流を防止することができる（例えば、特許文献2参照。）。

【特許文献1】 特開平6-105464号公報

【特許文献2】 特開2002-84742号公報

【発明が解決しようとする課題】

【0005】

しかし、ダイオードは順方向電圧が約0.7Vと大きいため、該順方向電圧の分だけ入力電圧を大きくしなければならず、大電流を供給する回路では電力損失が大きくなり電力効率を悪化させる要因の1つになっていた。また、スイッチング素子にNMOSトランジスタを使用した場合、該スイッチング素子をドライブするために、スイッチング素子のゲートに出力電圧よりもはるかに大きな電圧を印加しなくてはならなかった。このため、PMOSトランジスタをスイッチング素子に用いた場合と比較して、入力電圧と出力電圧の差を大きくするか、又はゲート電圧を出力電圧の大きい電圧源から供給するようにしなければならず、前者の場合は効率が悪くなり、後者の場合は回路が複雑で高価になるという問題があった。

【0006】

本発明は、上記のような問題を解決するためになされたものであり、降圧型のスイッチングレギュレータのスイッチング素子にPMOSトランジスタを使用した場合でも、逆流防止用のダイオードを使用することなく電流の逆流を防止することができるスイッチングレギュレータ、そのスイッチングレギュレータを使用した電源回路及びそのスイッチングレギュレータを使用した二次電池の充電回路を得ることを目的とする。

【課題を解決するための手段】

【0007】

この発明に係るスイッチングレギュレータは、入力端子に入力された電圧を所定の電圧に変換して出力端子から出力する降圧型のスイッチングレギュレータにおいて、

制御電極に入力された制御信号に応じてスイッチングし、前記入力電圧の出力制御を行うPMOSトランジスタからなるスイッチングトランジスタと、

該スイッチングトランジスタから出力された電圧を平滑して前記出力端子に出力する平滑回路部と、

入力される制御信号に応じて前記スイッチングトランジスタのサブストレートゲートの接続を切り替える切替回路部と、

前記出力端子の電圧が所定の電圧になるように前記スイッチングトランジスタに対するスイッチング制御を行う制御回路部と、

を備え、

前記切替回路部は、前記入力端子の電圧が前記出力端子の電圧以下である場合は、スイッチングトランジスタに対してサブストレートゲートをドレインに接続するように制御され、前記入力端子の電圧が前記出力端子の電圧を超える場合は、スイッチングトランジスタに対してサブストレートゲートをソースに接続するように制御されるものである。

【0008】

具体的には、前記入力端子と出力端子との電圧を比較し、該比較結果に応じて前記切替回路部の切替制御を行う切替制御回路部を備え、該切替制御回路部は、前記入力端子の電圧が前記出力端子の電圧以下である場合は、スイッチングトランジスタに対してサブストレートゲートがドレインに接続されるように前記切替回路部を制御し、前記入力端子の電圧が前記出力端子の電圧を超えている場合は、スイッチングトランジスタに対してサブストレートゲートがソースに接続されるように前記切替回路部を制御するようにした。

【0009】

また、前記切替回路部は、前記入力端子の電圧と前記出力端子の電圧に応じて前記切替回路部の切替制御を行う外部の切替制御回路部によって、前記入力端子の電圧が前記出力端子の電圧以下である場合はスイッチングトランジスタに対してサブストレートゲートをドレインに接続するように制御され、前記入力端子の電圧が前記出力端子の電圧を超えている場合はスイッチングトランジスタに対してサブストレートゲートをソースに接続するように制御されるようにしてもよい。

【0010】

また、前記スイッチングトランジスタのゲートとドレインの接続を行うスイッチング回路部を備え、前記入力端子の電圧が前記出力端子の電圧以下である場合は、前記切替制御回路部からの制御信号に基づいて、前記制御回路部はスイッチングトランジスタのゲートに対する制御信号の出力を停止すると共に、前記スイッチ回路部はスイッチングトランジスタのゲートとドレインを接続し、前記入力端子の電圧が前記出力端子の電圧を超える場合は、前記切替制御回路部からの制御信号に基づいて、前記制御回路部はスイッチングトランジスタのゲートに制御信号を出力すると共に、前記スイッチ回路部はスイッチングトランジスタのゲートとドレインの接続を遮断するようにした。

【0011】

具体的には、前記スイッチ回路部は、電界効果トランジスタで形成されたスイッチ回路で構成されるようにした。

【0012】

また具体的には、前記切替回路部は、電界効果トランジスタで形成された切替スイッチ回路で構成されるようにした。

【0013】

また、前記平滑回路部は、前記スイッチングトランジスタと直列に接続され、前記制御回路部によってスイッチング制御される同期整流用トランジスタを備え、前記スイッチングトランジスタ、該同期整流用トランジスタ、切替回路部、切替制御回路部、制御回路部及びスイッチ回路部は、1つのICに集積されるようにした。

【0014】

また、前記平滑回路部は、前記スイッチングトランジスタと直列に接続され、前記制御回路部によってスイッチング制御される同期整流用トランジスタを備え、前記スイッチングトランジスタ、該同期整流用トランジスタ、切替回路部、制御回路部及びスイッチ回路部は、1つのICに集積されるようにしてもよい。

【0015】

また、この発明に係る電源回路は、対応する入力端子に入力された電圧を所定の電圧に変換して所定の出力端子へそれぞれ出力する少なくとも1つの降圧型のスイッチングレギュレータ及び少なくとも1つのリニアレギュレータを備えた電源回路において、

前記スイッチングレギュレータは、

制御電極に入力された制御信号に応じてスイッチングし、前記入力電圧の出力制御を行うPMOSトランジスタからなるスイッチングトランジスタと、

該スイッチングトランジスタから出力された電圧を平滑して前記出力端子に出力する平滑回路部と、

入力される制御信号に応じて前記スイッチングトランジスタのサブストレートゲートの接続を切り替える第1切替回路部と、

前記出力端子の電圧が所定の電圧になるように前記スイッチングトランジスタに対するスイッチング制御を行う第1制御回路部と、
を備え、

前記第1切替回路部は、前記入力端子の電圧が前記出力端子の電圧以下である場合は、スイッチングトランジスタに対してサブストレートゲートをドレインに接続するように制御され、前記入力端子の電圧が前記出力端子の電圧を超える場合は、スイッチングトランジスタに対してサブストレートゲートをソースに接続するように制御されるものである。

【0016】

また、前記リニアレギュレータは、

制御電極に入力された制御信号に応じて、対応する入力端子から出力端子への電流を制御して前記出力端子の電圧を制御するPMOSトランジスタからなる電圧制御トランジスタと、

該電圧制御トランジスタのサブストレートゲートの接続を切り替える第2切替回路部と

前記対応する入力端子の電圧と前記出力端子の電圧に応じて該第2切替回路部の切替制御を行う第2切替制御回路部と、

前記出力端子の電圧が所定の電圧になるように前記電圧制御トランジスタの動作制御を行う第2制御回路部と、
を備え、

前記第2切替制御回路部は、前記対応する入力端子の電圧が前記出力端子の電圧以下である場合は、電圧制御トランジスタに対してサブストレートゲートがドレインに接続されるように前記第2切替回路部を制御し、前記対応する入力端子の電圧が前記出力端子の電圧を超える場合は、電圧制御トランジスタに対してサブストレートゲートがソースに接続されるように前記第2切替回路部を制御するようにした。

【0017】

具体的には、前記スイッチングレギュレータは、前記対応する入力端子と出力端子との電圧を比較し、該比較結果に応じて前記第1切替回路部の切替制御を行う第1切替制御回路部を備え、該第1切替制御回路部は、前記対応する入力端子の電圧が前記出力端子の電圧以下である場合は、スイッチングトランジスタに対してサブストレートゲートがドレインに接続されるように前記第1切替回路部を制御し、前記対応する入力端子の電圧が前記出力端子の電圧を超えている場合は、スイッチングトランジスタに対してサブストレートゲートがソースに接続されるように前記第1切替回路部を制御するようにした。

【0018】

また、前記第1切替回路部は、前記対応する入力端子の電圧と前記出力端子の電圧に応じて前記第1切替回路部の切替制御を行う外部の第1切替制御回路部によって、前記対応する入力端子の電圧が前記出力端子の電圧以下である場合はスイッチングトランジスタに対してサブストレートゲートをドレインに接続するように制御され、前記対応する入力端子の電圧が前記出力端子の電圧を超えている場合はスイッチングトランジスタに対してサブストレートゲートをソースに接続するように制御されるようにしてもよい。

【0019】

また、前記スイッチングレギュレータは、スイッチングトランジスタのゲートとドレインの接続を行うスイッチ回路部を備え、前記対応する入力端子の電圧が前記出力端子の電圧以下である場合は、前記第1切替制御回路部からの制御信号に基づいて、前記第1制御回路部はスイッチングトランジスタのゲートに対する制御信号の出力を停止すると共に、前記スイッチ回路部はスイッチングトランジスタのゲートとドレインを接続し、前記対応する入力端子の電圧が前記出力端子の電圧を超える場合は、前記第1切替制御回路部からの制御信号に基づいて、前記第1制御回路部はスイッチングトランジスタのゲートに制御信号を出力すると共に、前記スイッチ回路部はスイッチングトランジスタのゲートとドレインの接続を遮断するようにした。

【0020】

また、前記平滑回路部は、前記スイッチングトランジスタと直列に接続され、前記制御回路部によってスイッチング制御される同期整流用トランジスタを備え、前記スイッチングトランジスタ、該同期整流用トランジスタ、第1切替回路部、第1切替制御回路部、第1制御回路部、スイッチ回路部及びリニアレギュレータは、1つのICに集積されるようにした。

【0021】

また、前記平滑回路部は、前記スイッチングトランジスタと直列に接続され、前記制御回路部によってスイッチング制御される同期整流用トランジスタを備え、前記スイッチングトランジスタ、該同期整流用トランジスタ、第1切替回路部、第1制御回路部、スイッチ回路部及びリニアレギュレータは、1つのICに集積されるようにしてもよい。

【0022】

また、本発明に係る電源回路は、入力端子に入力された電圧を所定の電圧に変換して所定の出力端子へそれぞれ出力する複数の降圧型のスイッチングレギュレータを備えた電源回路において、

前記各スイッチングレギュレータは、

制御電極に入力された制御信号に応じてスイッチングし、前記入力電圧の出力制御を行

ノリモノコンソリシヘノかつなるヘイツカンノドノソシヘノシ、

該スイッチングトランジスタから出力された電圧を平滑して前記出力端子に出力する平滑回路部と、

入力される制御信号に応じて前記スイッチングトランジスタのサブストレートゲートの接続を切り替える切替回路部と、

前記出力端子の電圧が所定の電圧になるように前記スイッチングトランジスタに対するスイッチング制御を行う制御回路部と、

をそれぞれ備え、

前記切替回路部は、前記入力端子の電圧が前記出力端子の電圧以下である場合は、スイッチングトランジスタに対してサブストレートゲートをドレインに接続するように制御され、前記入力端子の電圧が前記出力端子の電圧を超える場合は、スイッチングトランジスタに対してサブストレートゲートをソースに接続するように制御されるようにした。

【0023】

具体的には、前記スイッチングレギュレータは、前記対応する入力端子と出力端子との電圧を比較し、該比較結果に応じて前記切替回路部の切替制御を行う切替制御回路部を備え、該切替制御回路部は、前記対応する入力端子の電圧が前記出力端子の電圧以下である場合は、スイッチングトランジスタに対してサブストレートゲートがドレインに接続されるように前記切替回路部を制御し、前記対応する入力端子の電圧が前記出力端子の電圧を超えている場合は、スイッチングトランジスタに対してサブストレートゲートがソースに接続されるように前記切替回路部を制御するようにした。

【0024】

また、前記切替回路部は、前記対応する入力端子の電圧と前記出力端子の電圧に応じて前記切替回路部の切替制御を行う外部の切替制御回路部によって、前記対応する入力端子の電圧が前記出力端子の電圧以下である場合はスイッチングトランジスタに対してサブストレートゲートをドレインに接続するように制御され、前記対応する入力端子の電圧が前記出力端子の電圧を超えている場合はスイッチングトランジスタに対してサブストレートゲートをソースに接続するように制御されるようにしてもよい。

【0025】

また、前記スイッチングレギュレータは、スイッチングトランジスタのゲートとドレインの接続を行うスイッチ回路部を備え、前記対応する入力端子の電圧が前記出力端子の電圧以下である場合は、前記切替制御回路部からの制御信号に基づいて、前記制御回路部はスイッチングトランジスタのゲートに対する制御信号の出力を停止すると共に、前記スイッチ回路部はスイッチングトランジスタのゲートとドレインを接続し、前記対応する入力端子の電圧が前記出力端子の電圧を超える場合は、前記切替制御回路部からの制御信号に基づいて、前記制御回路部はスイッチングトランジスタのゲートに制御信号を出力すると共に、前記スイッチ回路部はスイッチングトランジスタのゲートとドレインの接続を遮断するようにした。

【0026】

また、前記平滑回路部は、前記スイッチングトランジスタと直列に接続され、前記制御回路部によってスイッチング制御される同期整流用トランジスタを備え、前記スイッチングトランジスタ、該同期整流用トランジスタ、切替回路部、切替制御回路部、制御回路部及びスイッチ回路部は、1つのICに集積されるようにした。

【0027】

また、前記平滑回路部は、前記スイッチングトランジスタと直列に接続され、前記制御回路部によってスイッチング制御される同期整流用トランジスタを備え、前記スイッチングトランジスタ、該同期整流用トランジスタ、切替回路部、制御回路部及びスイッチ回路部は、1つのICに集積されるようにしてもよい。

【0028】

また、対応する入力端子に入力された電圧を所定の電圧に変換して二次電池が接続された出力端子へそれぞれ出力する降圧型のスイッチングレギュレータを備えた二次電池の充

電回路において、

前記スイッチングレギュレータは、

制御電極に入力された制御信号に応じてスイッチングし、前記入力電圧の出力制御を行うPMOSトランジスタからなるスイッチングトランジスタと、

該スイッチングトランジスタから出力された電圧を平滑して前記出力端子に出力する平滑回路部と、

入力される制御信号に応じて前記スイッチングトランジスタのサブストレートゲートの接続を切り替える切替回路部と、

前記出力端子の電圧が所定の電圧になるように前記スイッチングトランジスタに対するスイッチング制御を行う制御回路部と、

を備え、

前記切替回路部は、前記入力端子の電圧が前記出力端子の電圧以下である場合は、スイッチングトランジスタに対してサブストレートゲートをドレインに接続するように制御され、前記入力端子の電圧が前記出力端子の電圧を超える場合は、スイッチングトランジスタに対してサブストレートゲートをソースに接続するように制御されるものである。

【0029】

具体的には、前記入力端子と出力端子との電圧を比較し、該比較結果に応じて前記切替回路部の切替制御を行う切替制御回路部を備え、該切替制御回路部は、前記入力端子の電圧が前記出力端子の電圧以下である場合は、スイッチングトランジスタに対してサブストレートゲートがドレインに接続されるように前記切替回路部を制御し、前記入力端子の電圧が前記出力端子の電圧を超えている場合は、スイッチングトランジスタに対してサブストレートゲートがソースに接続されるように前記切替回路部を制御するようにした。

【0030】

また、前記切替回路部は、前記入力端子の電圧と前記出力端子の電圧に応じて前記切替回路部の切替制御を行う外部の切替制御回路部によって、前記入力端子の電圧が前記出力端子の電圧以下である場合はスイッチングトランジスタに対してサブストレートゲートをドレインに接続するように制御され、前記入力端子の電圧が前記出力端子の電圧を超えている場合はスイッチングトランジスタに対してサブストレートゲートをソースに接続するように制御されるようにしてもよい。

【0031】

また、前記スイッチングトランジスタのゲートとドレインの接続を行うスイッチ回路部を備え、前記入力端子の電圧が前記出力端子の電圧以下である場合は、前記切替制御回路部からの制御信号に基づいて、前記制御回路部はスイッチングトランジスタのゲートに対する制御信号の出力を停止すると共に、前記スイッチ回路部はスイッチングトランジスタのゲートとドレインを接続し、前記入力端子の電圧が前記出力端子の電圧を超える場合は、前記切替制御回路部からの制御信号に基づいて、前記制御回路部はスイッチングトランジスタのゲートに制御信号を出力すると共に、前記スイッチ回路部はスイッチングトランジスタのゲートとドレインの接続を遮断するようにした。

【0032】

また、前記平滑回路部は、前記スイッチングトランジスタと直列に接続され、前記制御回路部によってスイッチング制御される同期整流用トランジスタを備え、前記スイッチングトランジスタ、該同期整流用トランジスタ、切替回路部、切替制御回路部、制御回路部及びスイッチ回路部は、1つのICに集積されるようにした。

【0033】

また、前記平滑回路部は、前記スイッチングトランジスタと直列に接続され、前記制御回路部によってスイッチング制御される同期整流用トランジスタを備え、前記スイッチングトランジスタ、該同期整流用トランジスタ、切替回路部、制御回路部及びスイッチ回路部は、1つのICに集積されるようにしてもよい。

【発明の効果】

【0034】

本発明のスイッチングレギュレータ及びスイッチングレギュレータを用いた二次電池の充電回路によれば、入力端子の電圧が出力端子の電圧とほぼ等しいか又は小さい場合に、切替回路部を制御して、PMOSトランジスタで構成されたスイッチングトランジスタのサブストレータゲートをドレインに接続し、入力端子の電圧が出力端子の電圧よりも大きい場合は、切替回路部を制御して、スイッチングトランジスタのサブストレータゲートをソースに接続するようにした。このことから、出力端子に電圧源が接続されている場合でも、入力端子に電流が逆流することを防止することができ、従来のように逆流を防止するために設けたダイオードによる電圧降下がなく、更に電力効率を高くすることができる。

【0035】

また、本発明のスイッチングレギュレータを使用した電源回路によれば、入力端子の電圧が出力端子の電圧とほぼ等しいか又は小さい場合に、第1切替回路部を制御して、PMOSトランジスタで構成されたスイッチングトランジスタのサブストレータゲートをドレインに接続し、入力端子の電圧が出力端子の電圧よりも大きい場合は、第1切替回路部を制御して、スイッチングトランジスタのサブストレータゲートをソースに接続するようにした。

また、同じ出力端子にそれぞれの所定の電圧を出力するスイッチングレギュレータとリニアレギュレータを有する場合、対応する入力端子の電圧が出力端子の電圧とほぼ等しいか又は小さい場合に、第1切替回路部及び第2切替回路部をそれぞれ制御して、PMOSトランジスタで構成されたスイッチングトランジスタ及び電圧制御トランジスタにおいてサブストレータゲートをドレインにそれぞれ接続し、入力端子の電圧が出力端子の電圧よりも大きい場合は、第1切替回路部及び第2切替回路部をそれぞれ制御して、スイッチングトランジスタ及び電圧制御トランジスタにおいてサブストレータゲートをソースにそれぞれ接続するようにした。

これらのことから、出力端子に電圧源が接続されている場合でも、入力端子に電流が逆流することを防止することができ、従来のようにダイオードによる電圧降下がなく、更に電力効率の高い電源回路を得ることができる。

【発明を実施するための最良の形態】

【0036】

次に、図面に示す実施の形態に基づいて、本発明を詳細に説明する。

第1の実施の形態。

図1は、本発明の第1の実施の形態におけるスイッチングレギュレータの構成例を示した図である。

図1において、降圧型のスイッチングレギュレータ1は、入力端子INと接地電圧との間には直流電源10が接続され、該直流電源10から入力電圧V_{dd}が入力されている。スイッチングレギュレータ1は、入力電圧V_{dd}を所定の電圧に変換して出力端子OUTから出力する。出力端子OUTと接地電圧との間には負荷11が接続されている。

【0037】

スイッチングレギュレータ1は、入力端子INに入力された入力電圧V_{dd}の出力制御を行うPMOSトランジスタからなるスイッチングトランジスタM1と、NMOSトランジスタからなる同期整流用トランジスタM2と、平滑用のインダクタL及びコンデンサCと、出力端子OUTから出力される電圧V_{out}を分圧して分圧電圧V_{d1}を生成し出力する出力電圧検出用の抵抗R1、R2とを備えている。また、スイッチングレギュレータ1は、所定の基準電圧V_{r1}を生成して出力する基準電圧発生回路2と、前記分圧電圧V_{d1}と該基準電圧V_{r1}との電圧比較を行い、該比較結果に応じた電圧V_{er}を生成して出力する誤差増幅回路3と、所定の周波数の三角波信号TWを生成して出力する三角波発生回路4と、該誤差増幅回路3の出力電圧V_{er}と三角波信号TWからスイッチングトランジスタM1及び同期整流用トランジスタM2に対してPWM制御を行ってスイッチングトランジスタM1及び同期整流用トランジスタM2のスイッチング制御を行うPWM制御回路5を備えている。

【 0 0 3 8 】

更に、スイッチングレギュレータ1は、スイッチングトランジスタM1のサブストレートゲートにおける接続の切り替えを行う切替スイッチSW1と、スイッチングトランジスタM1のゲートとドレインの接続を行うスイッチSW2と、入力電圧V_{dd}と出力電圧V_{out}の電圧比較を行い、該比較結果に応じて切替スイッチSW1の切替制御及びスイッチSW2のスイッチング制御をそれぞれ行う入出力比較回路6とを備えている。スイッチングトランジスタM1は、ソースとサブストレートゲート（バックゲートとも言う）との間に寄生ダイオードD1が、ドレインとサブストレートゲートとの間に寄生ダイオードD2がそれぞれ形成されている。

【 0 0 3 9 】

スイッチングレギュレータ1において、基準電圧発生回路2、誤差増幅回路3、三角波発生回路4及びPWM制御回路5をスイッチング制御回路18とし、インダクタLとコンデンサCを除く各部は、1つのICに集積するようにしてもよい。なお、同期整流用トランジスタM2、インダクタL及びコンデンサCは平滑回路部を、切替スイッチSW1は切替回路部を、スイッチSW2はスイッチ回路部を、入出力比較回路6は切替制御回路部をそれぞれなし、基準電圧発生回路2、誤差増幅回路3、三角波発生回路4、PWM制御回路5及び抵抗R1、R2は制御回路部をなす。

【 0 0 4 0 】

一方、PWM制御回路5は、誤差増幅回路3の出力電圧V_{er}と三角波発生回路4からの三角波信号TWからPWM制御を行うためのパルス信号S_{pw}を生成して出力するPWM回路15と、該PWM回路15からのパルス信号S_{pw}に応じて、スイッチングトランジスタM1のスイッチング制御を行うための制御信号PDと同期整流用トランジスタM2のスイッチング制御を行うための制御信号NDをそれぞれ生成してスイッチングトランジスタM1及び同期整流用トランジスタM2をそれぞれ駆動するドライブ回路16とを備えている。

【 0 0 4 1 】

入力端子INと接地電圧との間には、スイッチングトランジスタM1と同期整流用トランジスタM2が直列に接続され、スイッチングトランジスタM1と同期整流用トランジスタM2との接続部と出力端子OUTとの間にはインダクタLが接続され、出力端子OUTと接地電圧との間には、コンデンサCが接続されると共に抵抗R1と抵抗R2の直列回路が接続されている。抵抗R1と抵抗R2との接続部は、誤差増幅回路3の反転入力端に接続され、誤差増幅回路3の非反転入力端には基準電圧V_{r1}が入力されている。

【 0 0 4 2 】

誤差増幅回路3の出力電圧V_{er}は、PWM回路15をなすコンパレータの反転入力端に出力され、三角波発生回路4からの三角波信号TWは、PWM回路15をなすコンパレータの非反転入力端に出力される。PWM回路15からのパルス信号S_{pw}はドライブ回路16に出力される。ドライブ回路16は、スイッチングトランジスタM1のスイッチング制御を行うための制御信号PDをスイッチングトランジスタM1のゲートに出力し、同期整流用トランジスタM2のスイッチング制御を行うための制御信号NDを同期整流用トランジスタM2のゲートに出力する。

【 0 0 4 3 】

また、切替スイッチSW1のCOM端子はスイッチングトランジスタM1のサブストレートゲートに接続され、切替スイッチSW1のS端子はスイッチングトランジスタM1のソースに、スイッチSW1のD端子はスイッチングトランジスタM1のドレインにそれぞれ接続されている。スイッチSW2は、スイッチングトランジスタM1のゲートとドレインとの間に接続されている。入出力比較回路6は、入力端子INの電圧と出力端子OUTの電圧がそれぞれ入力され、該入力された各電圧の差に応じて切替スイッチSW1の切替制御、スイッチSW2のスイッチング制御及びドライブ回路16における制御信号PDの出力制御をそれぞれ行う。

【 0 0 4 4 】

このような構成において、スイッチングトランジスタM1がオンしたときに、インダクタLに電流が供給される。このとき、同期整流用トランジスタM2はオフしている。スイッチングトランジスタM1がオフすると、同期整流用トランジスタM2がオンし、インダクタLに蓄えられていたエネルギーが同期整流用トランジスタM2を通して放出される。このとき発生した電流は、コンデンサCで平滑されて出力端子OUTから負荷11に出力される。また、出力端子OUTから出力される出力電圧Voutは、出力電圧検出用の抵抗R1とR2で分圧され、該分圧電圧Vd1が誤差増幅回路3の反転入力端に入力されている。

【0045】

スイッチングレギュレータ1の出力電圧Voutが大きくなると、誤差増幅回路3の出力電圧が低下し、PWM回路15からのパルス信号Spwのデューティサイクルは小さくなる。その結果、スイッチングトランジスタM1がオンする時間が短くなり、スイッチングレギュレータ1の出力電圧Voutが低下するように制御される。スイッチングレギュレータ1の出力電圧Voutが小さくなると、前記と逆の動作を行い、結果としてスイッチングレギュレータ1の出力電圧Voutが一定になるように制御される。

【0046】

ここで、入出力比較回路6は、入力端子INの電圧が出力端子OUTの電圧に等しいか又は小さい場合、切替スイッチSW1に対して、COM端子をD端子に接続させ、スイッチングトランジスタM1のサブストレータゲートをドレインに接続させる。同時に、入出力比較回路6は、スイッチSW2をオンさせてスイッチングトランジスタM1のゲートとドレインを接続させると共にドライブ回路16に対して制御信号PDの出力を停止して該出力端をハイインピーダンス状態にする。なお、前記説明では、入力端子INの電圧が出力端子OUTの電圧に等しいか又は小さい場合としたが、入力端子INの電圧が出力端子OUTの電圧にほぼ等しいか又は小さい場合としてもよい。このようにすることにより、スイッチングトランジスタM1の寄生ダイオードD2は短絡され、スイッチングトランジスタM1において、ソースからサブストレータゲートの方向に寄生ダイオードD1が接続された状態になる。このため、スイッチングトランジスタM1は、寄生ダイオードD1によって、出力端子OUTから入力端子INに電流が流れることを防止する。

【0047】

逆に、入出力比較回路6は、入力端子INの電圧が出力端子OUTの電圧よりも大きい場合は、切替スイッチSW1に対して、COM端子をS端子に接続させ、スイッチングトランジスタM1のサブストレータゲートをソースに接続させる。同時に、入出力比較回路6は、スイッチSW2をオフさせてスイッチングトランジスタM1のゲートとドレインの接続を遮断させると共にドライブ回路16に対して制御信号PDの出力を開始させる。なお、前記説明では入力端子INの電圧が出力端子OUTの電圧よりも大きい場合としたが、入力端子INの電圧が出力端子OUTの電圧よりも所定の電圧以上大きい場合としてもよい。このようにすることにより、スイッチングトランジスタM1の寄生ダイオードD1は短絡され、スイッチングトランジスタM1において、ドレインからサブストレータゲートの方向に寄生ダイオードD2が接続された状態になる。このため、スイッチングトランジスタM1は、寄生ダイオードD2によって、入力端子INから出力端子OUTに電流が流れることを防止する。

【0048】

次に、図2は、図1のスイッチングレギュレータ1を使用した電源回路の例を示した図である。なお、図2では、図1と同じもの又は同様のものは同じ符号で示しており、ここではその説明を省略する。

図2において、電源回路20は、図1のスイッチングレギュレータ1とリニアレギュレータ21で構成されており、スイッチングレギュレータ1とリニアレギュレータ21の各出力端は、電源回路20の出力端子OUTに接続されている。また、スイッチングレギュレータ1の入力端は、電源回路20の入力端子IN1に接続され、リニアレギュレータ21の入力端は、電源回路20の入力端子IN2に接続されている。入力端子IN1と接地

電圧との間には電池等の直流電源23が接続され、直流電源23によって入力端子IN2に入力電圧Vdd2が入力されている。

【0049】

リニアレギュレータ21は、所定の基準電圧Vr2を生成して出力する基準電圧発生回路31と、前記分圧電圧Vd1と該基準電圧Vr2との電圧比較を行い、該比較結果に応じた電圧の信号を出力する誤差増幅回路32と、誤差増幅回路32から入力された電圧に応じた電流を出力して出力端子OUTの電圧を制御するPMOSトランジスタの電圧制御トランジスタM21と、電圧制御トランジスタM21のサブストレータゲートにおける接続の切り替えを行う切替スイッチSW21と、出力端子OUTの電圧と入力端子IN2の電圧を比較し、該比較結果に応じて切替スイッチSW21の切替制御を行う入出力比較回路33とを備えている。電圧制御トランジスタM21は、ソースとサブストレータゲートとの間に寄生ダイオードD21が、ドレインとサブストレータゲートとの間に寄生ダイオードD22がそれぞれ形成されている。

【0050】

スイッチングレギュレータ1とリニアレギュレータ21は、出力電圧検出用の抵抗R1、R2及び出力コンデンサCを兼用している。インダクタLとコンデンサCを除くスイッチングレギュレータ1の各部及びリニアレギュレータ21は、1つのICに集積するようにしてもよい。なお、切替スイッチSW1は第1切替回路部を、入出力比較回路6は第1切替制御回路部を、スイッチング制御回路18及び抵抗R1、R2は第1制御回路部をそれぞれなし、切替スイッチSW21は第2切替回路部を、入出力比較回路33は第2切替制御回路部を、基準電圧発生回路31、誤差増幅回路32及び抵抗R1、R2は第2制御回路部をそれぞれなす。

【0051】

リニアレギュレータ21は、入力電圧Vdd2を所定の電圧に変換して出力端子OUTに出力する。出力端子OUTと接地電圧との間には負荷11が接続されている。入力端子IN2と出力端子OUTとの間には、電圧制御トランジスタM21が接続され、抵抗R1と抵抗R2との接続部は、誤差増幅回路32の非反転入力端に接続され、誤差増幅回路32の反転入力端には基準電圧Vr2が入力されている。誤差増幅回路32の出力端は電圧制御トランジスタM21のゲートに接続されている。また、切替スイッチSW21のCOM端子は電圧制御トランジスタM21のサブストレータゲートに接続され、切替スイッチSW21のS端子は電圧制御トランジスタM21のソースに、切替スイッチSW21のD端子は電圧制御トランジスタM21のドレインにそれぞれ接続されている。入出力比較回路33は、入力端子IN2の電圧と出力端子OUTの電圧がそれぞれ入力され、該各入力された各電圧の電圧差に応じて切替スイッチSW21のスイッチング制御を行う。

【0052】

リニアレギュレータ21は、主電源である降圧型のスイッチングレギュレータ1のバックアップ電源であり、出力電圧がスイッチングレギュレータ1よりもやや小さい電圧に設定されている。例えば、電池22の電圧Vdd1が5V、スイッチングレギュレータ1の出力電圧が2.5V、電池23の電圧Vdd2が3V、リニアレギュレータ21出力電圧が2.4Vである場合を例にして説明する。

スイッチングレギュレータ1が作動している場合は、出力端子OUTの電圧Voutは2.5Vになる。入力端子IN1の電圧Vdd1が5Vであり出力端子OUTの電圧Voutよりも大きいことから、入出力比較回路6は、スイッチングトランジスタM1のサブストレータゲートがソースに接続されるようにスイッチSW1を制御している。このとき、入出力比較回路6は、前述したように、スイッチSW2をオフさせて遮断状態にすると共に、スイッチング制御回路18から制御信号PDを出力させるようにしている。

【0053】

同様に、リニアレギュレータ21においても、入力端子IN2の電圧Vdd2が3Vで

の出力端子OUT1の電圧 V_{out1} よりも大きいことから、入出力比較回路33は、電圧制御トランジスタM21のサブストレートゲートがソースに接続されるように切替スイッチSW21を制御する。切替スイッチSW21によって電圧制御トランジスタM21のサブストレートゲートがソースに接続されていても、入力端子IN2の電圧 V_{dd2} が出力端子OUTの電圧 V_{out} よりも大きいため、電圧制御トランジスタM21の寄生ダイオードD21はオフとなり電流の逆流は発生しない。

【0054】

ここで、スイッチングレギュレータ1が動作を停止した場合は、出力端子OUTにはリニアレギュレータ21から電力が供給されるため、出力端子OUTの電圧 V_{out} は2.4Vになる。この状態では、スイッチングトランジスタM1のサブストレートゲートは切替スイッチSW1によってソースに接続されているが、スイッチングレギュレータ1の入力端子IN1には5Vの電圧が印加されているため、スイッチングトランジスタM1による電流の逆流は発生しない。

【0055】

また、スイッチングレギュレータ1の直流電源22がない場合においても、出力端子OUTにはリニアレギュレータ21から電力が供給されるため、出力端子OUTの電圧は2.4Vとなる。この状態では、スイッチングレギュレータ1の入力端子IN1の電圧 V_{dd1} は出力電圧 V_{out} 近くまで低下する。このため、入出力比較回路6は、スイッチングトランジスタM1のサブストレートゲートがドレインに接続されるように切替スイッチSW1を切り替え、更にスイッチSW2をオンさせてスイッチングトランジスタM1のゲートとドレインを接続させると共にスイッチング制御回路18の制御信号PDを出力する出力端をハイインピーダンス状態にさせる。このため、出力端子OUTと入力端子IN1の間には寄生ダイオードD1が逆接続に挿入されるため、電流の逆流を防止することができる。

【0056】

次に、リニアレギュレータ30の電池23がない場合で、スイッチングレギュレータ1が作動している場合は、出力端子OUTの電圧は2.5Vとなる。この状態では、リニアレギュレータ21の入力端子IN2の電圧は出力端子OUTの電圧近くまで低下するので、入出力比較回路33によって切替スイッチSW21が制御され、電圧制御トランジスタM21のサブストレートゲートはドレインに接続される。このため、出力端子OUTと入力端子IN2との間には寄生ダイオードD21が逆接続に挿入されるため、逆流を防止することができる。

なお、図2で示したようなスイッチングレギュレータ1とリニアレギュレータ21で構成された電源回路20を例にして説明したが、同電圧を出力する降圧型のスイッチングレギュレータだけ、又はリニアレギュレータだけを複数備え、出力端子OUTを共通接続したいわゆる並列運転用の電源回路においても、前記とまったく同様の動作で、各レギュレータにおける電流の逆流を防止することができる。

【0057】

このように、入力端子の電圧が出力端子の電圧と等しいか又は小さい場合に、切替スイッチの切替制御を行って、PMOSTランジスタで構成されたスイッチングトランジスタ又は電圧制御トランジスタのサブストレートゲートをドレインに接続し、入力端子の電圧が出力端子の電圧よりも大きい場合は、切替スイッチの切替制御を行って、サブストレートゲートをソースに接続するようにした。このことから、出力端子から入力端子に流れる電流の逆流を防止することができる。

【0058】

また、入出力比較回路の比較条件として、入力端子の電圧が出力端子の電圧と等しいか又は小さい場合としたが、出力端子の電圧が寄生ダイオードD2等を介して入力端子に現れるとき、ほとんど電流が流れない場合は、出力端子の電圧と入力端子の電圧はほぼ等しくなる。このため、入出力比較回路では、比較回路自体のオフセット電圧等の誤差要因を考慮して、入力端子の電圧が出力端子の電圧よりもわずかに大きい電圧まで低下した時点

とサブストレートノードをドレインに接続するよりにしてもよい。

また、サブストレートゲートの接続をソースに戻す場合の条件を、入力端子の電圧が出力端子の電圧よりも所定の電圧だけ大きい場合にしてもよく、この場合所定の電圧は、実際に入力端子に接続されるACアダプタや、入力電圧と出力電圧の関係から、最適な電圧を選択するようにすればよい。

【0059】

次に、図3は、本発明の第1の実施の形態におけるスイッチングレギュレータの他の例を示した図であり、図3では、二次電池の充電回路に使用した場合を例にして示している。なお、図3では、図1と同じもの又は同様のものは同じ符号で示している。

図3において、充電回路40は、入力端子ADiに接続されたACアダプタ51から供給される電源を用いて出力端子BToに接続された二次電池52の充電を行うものである。充電回路40は、降圧型のスイッチングレギュレータ41と、出力端子BToに流れる充電電流 i_o を電圧に変換する充電電流検出用の抵抗42と、該抵抗42の両端電圧から充電電流 i_o に応じた電圧V1を生成してスイッチングレギュレータ41の動作制御を行う電流検出回路43と、ACアダプタ51が入力端子ADiに接続されたか否かの検出を行い、該検出結果を示す信号Saを出力するアダプタ検出回路44と、アダプタ検出回路44からの信号Sa及び外部から入力される制御信号Scに応じてスイッチングレギュレータ41のオン／オフ制御を行う充電制御回路45とを備えている。

【0060】

スイッチングレギュレータ41は、入力端子ADiに入力された入力電圧Vddの出力制御を行うPMOSトランジスタからなるスイッチングトランジスタM1と、同期整流用トランジスタM2と、平滑用のインダクタLと、平滑用のコンデンサCと、出力端子BToから出力される電圧Voを分圧して分圧電圧Vd3を生成し出力する出力電圧検出用の抵抗R11、R12とを備えている。また、スイッチングレギュレータ41は、所定の基準電圧Vr3を生成して出力する基準電圧発生回路7と、分圧電圧Vd3と該基準電圧Vr3との電圧比較を行い、該比較結果に応じた電圧を生成して出力する誤差増幅回路8と、誤差増幅回路8の出力電圧に応じて制御電圧V2を生成し出力する制御電圧生成回路9とを備えている。

【0061】

また、スイッチングレギュレータ41は、電流検出回路43からの出力電圧V1と制御電圧生成回路9からの制御電圧V2との電圧比較を行い、該比較結果に応じた電圧Verを生成して出力する誤差増幅回路3と、所定の周波数の三角波信号TWを生成して出力する三角波発生回路4と、誤差増幅回路3の出力電圧Ver及び三角波信号TWからスイッチングトランジスタM1及び同期整流用トランジスタM2に対してPWM制御を行ってスイッチングトランジスタM1及び同期整流用トランジスタM2のスイッチング制御を行うPWM制御回路5とを備えている。

【0062】

更に、スイッチングレギュレータ41は、スイッチングトランジスタM1のサブストレートゲートにおける接続の切り替えを行う切替スイッチSW1と、スイッチングトランジスタM1のゲートとドレインの接続を行うスイッチSW2と、入力端子ADiの電圧と出力端子BToの電圧の比較を行い、該比較結果に応じて切替スイッチSW1の切替制御及びスイッチSW2のスイッチング制御をそれぞれ行う入出力比較回路6とを備えている。インダクタLとコンデンサCを除く充電回路40の各部は1つのICに集積するようにしてもよい。なお、誤差増幅回路3、8、三角波発生回路4、PWM制御回路5、基準電圧発生回路7及び抵抗R11、R12は制御回路部をなす。

【0063】

入力端子ADiと接地電圧との間には、スイッチングトランジスタM1と同期整流用トランジスタM2が直列に接続され、スイッチングトランジスタM1と同期整流用トランジスタM2との接続部にはインダクタLの一端が接続され、インダクタLの他端と接地電圧との間にはコンデンサCが接続されている。スイッチングレギュレータ41の出力端をな

ゲートノードとコンパリアツシとの接続部は、抵抗 R_{12} の一端に接続され、抵抗 R_{12} の他端は出力端子 $B T o$ に接続されている。また、出力端子 $B T o$ と接地電圧との間には、抵抗 R_{11} と抵抗 R_{12} との直列回路が接続され、抵抗 R_{11} と抵抗 R_{12} との接続部は、誤差増幅回路8の反転入力端に接続され、誤差増幅回路8の非反転入力端には基準電圧 V_{r3} が入力されている。誤差増幅回路8の出力電圧は制御電圧生成回路9に入力され、制御電圧生成回路9から出力された制御電圧 V_2 は、誤差増幅回路3の反転入力端に入力されている。

【0064】

分圧電圧 V_{d3} が基準電圧 V_{r3} に達するまでは、誤差増幅回路8の出力電圧は、ほぼ誤差増幅回路8の電源電圧となり、制御電圧生成回路9から出力される電圧 V_2 は一定電圧になる。該一定電圧の出力電圧 V_2 と電流検出回路43から出力された電圧 V_1 が等しくなるようにPWM制御が行われることから、この間は二次電池52に対して定電流を供給して充電を行うことになる。分圧電圧 V_{d3} が基準電圧 V_{r3} 以上になると、誤差増幅回路8の出力電圧は低下し、該出力電圧の低下に応じて、制御電圧生成回路9から出力される電圧 V_2 は徐々に低下し、PWM制御回路5は、二次電池52を定電圧で充電するようにスイッチングトランジスタ M_1 及び同期整流用トランジスタ M_2 に対してPWM制御を行う。このように、基準電圧 V_{r3} は、二次電池52を定電流充電から定電圧充電に切り替えるためのしきい値電圧をなしている。

【0065】

誤差増幅回路3の非反転入力端には電流検出回路43からの電圧 V_1 が入力され、誤差増幅回路3の出力電圧 V_{er} 及び三角波信号 TW はPWM制御回路5にそれぞれ入力されている。PWM制御回路5は、入力された電圧 V_{er} 及び三角波信号 TW から、スイッチングトランジスタ M_1 のスイッチング制御を行うための制御信号 $P D$ を生成してスイッチングトランジスタ M_1 のゲートに出力すると共に、同期整流用トランジスタ M_2 のスイッチング制御を行うための制御信号 $N D$ を生成して同期整流用トランジスタ M_2 のゲートに出力する。

【0066】

一方、アダプタ検出回路44は、入力端子 $A D i$ の電圧 V_{dd} が所定の電圧以上、又は所定の電圧範囲に入っている場合に、ACアダプタ51が接続されたと判断し、ACアダプタ51が接続されたことを示した信号 S_a を充電制御回路45に出力する。充電制御回路45は、ACアダプタ51が接続されたことを示した信号 S_a が入力されると、PWM制御回路5のPWM回路15及びドライブ回路16をそれぞれ作動させてPWM制御回路5を作動させる。また、充電制御回路45は、ACアダプタ51が接続されていないことを示した信号 S_a が入力されると、PWM制御回路5のPWM回路15及びドライブ回路16をそれぞれ作動停止させてPWM制御回路5を作動停止させ、スイッチングトランジスタ M_1 及び同期整流用トランジスタ M_2 は共にオフする。更に、充電制御回路45には、外部の制御回路（図示せず）からの制御信号 S_c が入力されており、該制御信号に応じてPWM制御回路5に対して前記と同様の制御を行う。

【0067】

このように、PWM制御回路5は、充電制御回路45から出力される制御信号に応じて作動又は作動停止する。作動中のPWM制御回路5は、三角波発生回路4からの三角波信号 TW と誤差増幅回路3の出力電圧 V_{er} に応じて、スイッチングトランジスタ M_1 と同期整流用トランジスタ M_2 を交互にオン／オフさせ、入力端子 $A D i$ に接続されたACアダプタ51の電圧を降圧して出力端子 $B T o$ より出力する。また、切替スイッチ SW_1 のCOM端子はスイッチングトランジスタ M_1 のサブストレートゲートに接続され、切替スイッチ SW_1 のS端子はスイッチングトランジスタ M_1 のソースに、切替スイッチ SW_1 のD端子はスイッチングトランジスタ M_1 のドレインにそれぞれ接続されている。スイッチ SW_2 は、スイッチングトランジスタ M_1 のゲートとドレインとの間に接続されている。入出力比較回路6は、入力端子 $A D i$ の電圧と出力端子 $B T o$ の電圧がそれぞれ入力され、該入力された各電圧の差に応じて切替スイッチ SW_1 の切替制御、スイッチ SW_2 の

バックアップ制御及びPWM制御回路5のトランジスタ回路10における制御信号10の出力制御をそれぞれ行う。

【0068】

このような構成において、入力端子ADiにACアダプタ51が接続されている場合は、入力端子ADiの電圧は出力端子BToの電圧よりも所定の電圧以上大きいことから、入出力比較回路6は、切替スイッチSW1に対して、COM端子をS端子に接続させて、スイッチングトランジスタM1のサブストレートゲートをソースに接続させる。同時に、入出力比較回路6は、スイッチSW2をオフさせてスイッチングトランジスタM1のゲートとドレインの接続を遮断させると共にPWM制御回路5に対して制御信号PDの出力を開始させる。また、アダプタ検出回路44は、ACアダプタ51が接続されたことを検出して、ACアダプタ51が接続されていることを示す制御信号Saを充電制御回路45に出力し、充電制御回路45は、二次電池52の充電を行うためにPWM制御回路5を作動させる。

【0069】

ACアダプタ51が入力端子ADiから外されると、入力端子ADiの電圧が低下する。このため、アダプタ検出回路44は、ACアダプタ51が外されたことを検出して、ACアダプタ51が接続されていないことを示す制御信号Saを充電制御回路6に出力し、充電制御回路45は、二次電池52の充電を停止させるためにPWM制御回路5を作動停止させる。この状態では、スイッチングトランジスタM1のサブストレートゲートは切替スイッチSW1を介してソースに接続されているため、二次電池52→出力端子BTo→抵抗42→インダクタL→寄生ダイオードD2→切替スイッチSW1のCOM端子→切替スイッチSW1のS端子→出力端子ADiという電流経路が形成され、出力端子ADiに二次電池52の電圧に近い電圧が発生する。

【0070】

入出力比較回路6は、入力端子ADiの電圧が出力端子BToの電圧以下の場合には、切替スイッチSW1に対して、COM端子をD端子に接続させる。このことから、入出力比較回路6は、入力端子ADiの電圧が出力端子BToの電圧まで低下すると、切替スイッチSW1の切替制御を行って、スイッチングトランジスタM1のサブストレートゲートをドレインに接続させる。同時に、入出力比較回路6は、スイッチSW2をオンさせてスイッチングトランジスタM1のゲートとドレインを接続させると共にPWM制御回路5に対して制御信号PDの出力を停止して該出力端をハイインピーダンス状態にする。このため、寄生ダイオードD1が出力端子BToと入力端子ADiの間に逆方向に挿入されることになり、出力端子BToからの電流が遮断され、入力端子ADiの電圧は更に低下する。

【0071】

このように、入出力比較回路6によって入力端子ADiと出力端子BToとの電圧差に応じてスイッチングトランジスタM1のサブストレートゲートの接続をソースからドレインに切り替えるようにしたことから、出力端子BToに電圧源が接続されている場合においても、入力端子ADiに電流が逆流することを防止することができ、従来のように逆流を防止するためのダイオードによる電圧降下や電力効率の低下の小さい充電回路を実現することができる。なお、切替スイッチSW1及びスイッチSW2は、電子回路で形成されるようにしてもよく、この場合、例えばMOSトランジスタ等の電界効果トランジスタで形成されている。また、同期整流用トランジスタM2の代わりにフライホイールダイオードを使用してもよい。

【0072】

なお、前記説明では、入出力比較回路6はスイッチングレギュレータの構成をなしている場合を例にして説明したが、入出力比較回路6をスイッチングレギュレータの外部に設けられるようにしてもよい。この場合、切替スイッチSW1は外部から入力された制御信号に応じてスイッチングトランジスタM1のサブストレートゲートの接続を切り替える。

【0073】

前記のように、本第1の実施の形態におけるスイッチングレギュレータは、PMOSトランジスタであるスイッチングトランジスタM1のサブストレートゲートにおける接続の切り替えを行う切替スイッチSW1を設け、入出力比較回路6によって、入力端子の電圧と出力端子の電圧との電圧差に応じて切替スイッチSW1の切替制御を行うようにした。このことから、降圧型スイッチングレギュレータのスイッチング素子にPMOSトランジスタを使用した場合でも、逆流防止用のダイオードを使用することなく電流の逆流を防止することができる。

【図面の簡単な説明】

【0074】

【図1】本発明の第1の実施の形態におけるスイッチングレギュレータの構成例を示した図である。

【図2】図1のスイッチングレギュレータ1を使用した電源回路の例を示した図である。

【図3】本発明の第1の実施の形態におけるスイッチングレギュレータを使用した充電回路の例を示した図である。

【図4】PMOSトランジスタの等価回路である。

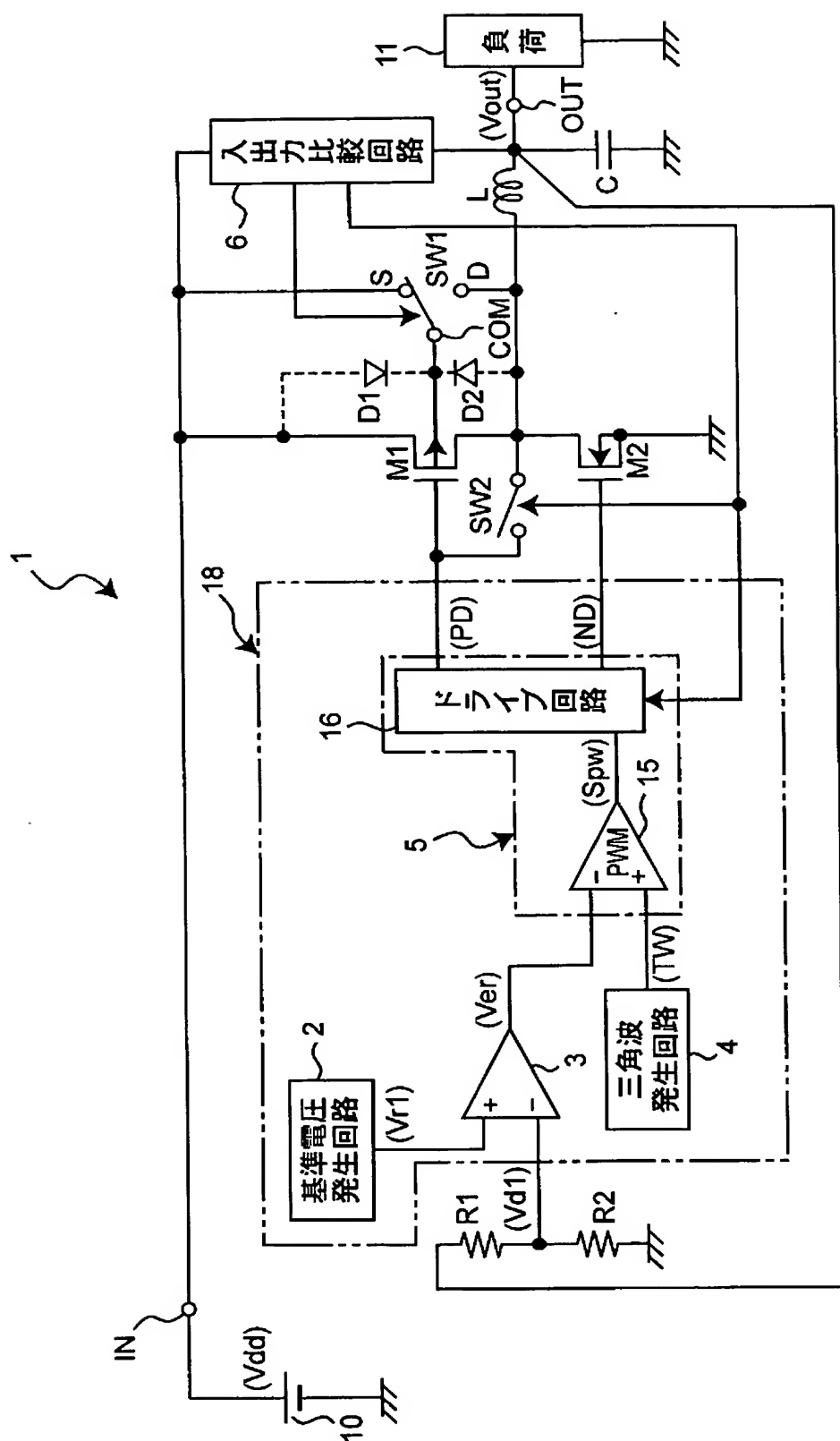
【図5】PMOSトランジスタのサブストレートゲートの接続例を示した図である。

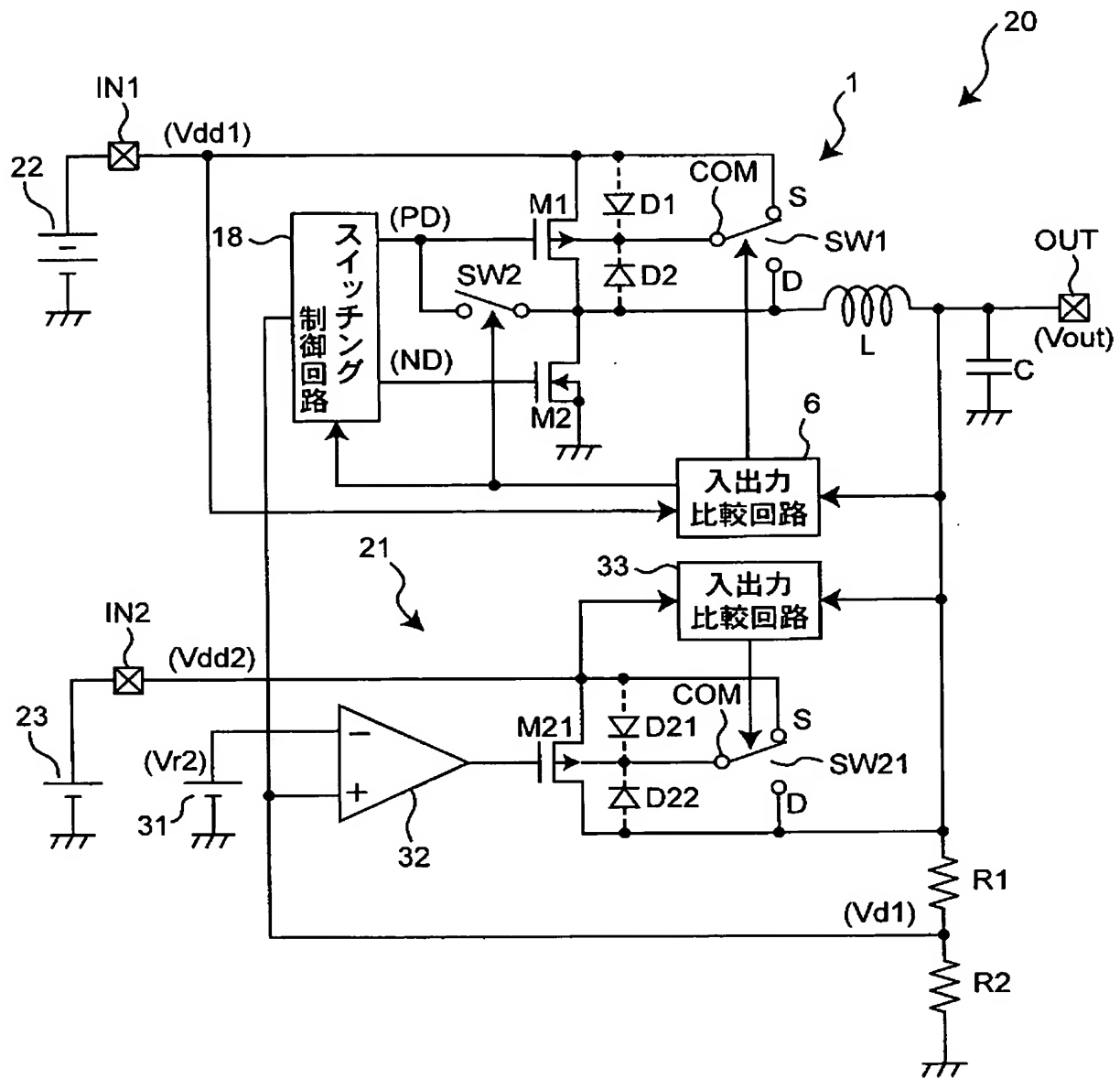
【符号の説明】

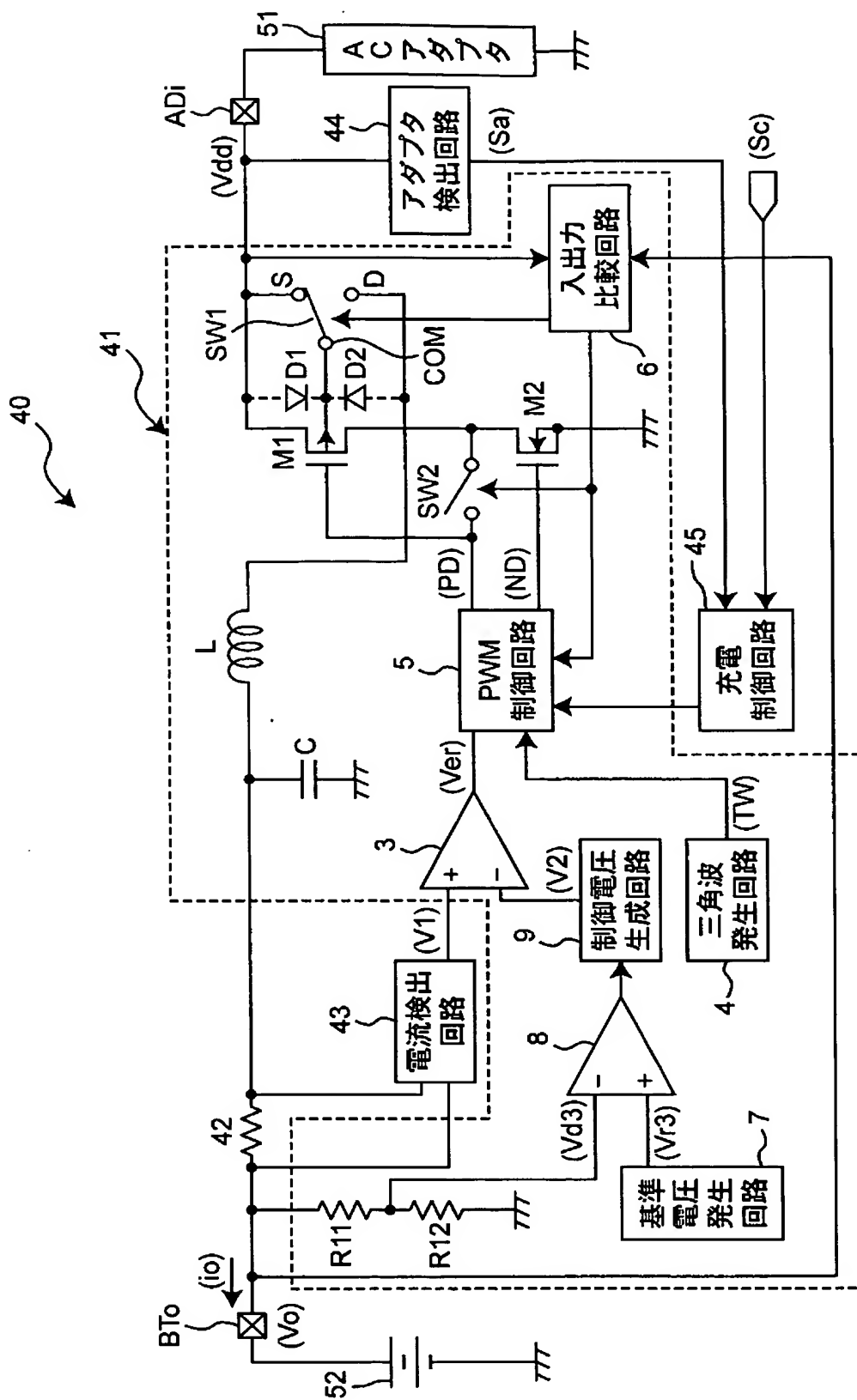
【0075】

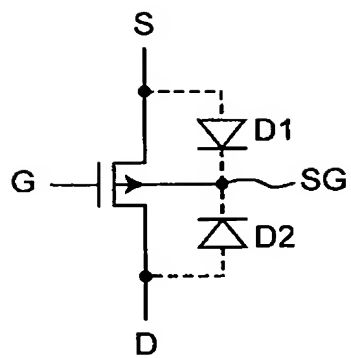
- 1, 41 スwitchングレギュレータ
- 2, 7, 31 基準電圧発生回路
- 3, 8, 32 誤差増幅回路
- 4 三角波発生回路
- 5 PWM制御回路
- 6, 33 入出力比較回路
- 9 制御電圧生成回路
- 10 直流電源
- 11 負荷
- 15 PWM回路
- 16 ドライブ回路
- 21 リニアレギュレータ
- 22, 23 電池
- 43 電流検出回路
- 44 アダプタ検出回路
- 45 充電制御回路
- 51 ACアダプタ
- 52 二次電池
- SW1, SW21 切替スイッチ
- SW2 スイッチ
- D1, D2, D21, D22 寄生ダイオード
- M1 スwitchングトランジスタ
- M2 同期整流用トランジスタ
- M21 電圧制御トランジスタ
- R1, R2, R11, R12, 42 抵抗
- L インダクタ
- C コンデンサ

【图 1】

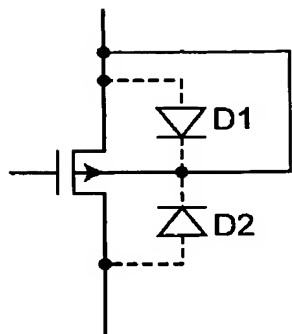








【图 5】



【要約】

【課題】 降圧型のスイッチングレギュレータのスイッチング素子にPMOSトランジスタを使用した場合でも、逆流防止用のダイオードを使用することなく電流の逆流を防止することができるスイッチングレギュレータ、そのスイッチングレギュレータを使用した電源回路及び二次電池の充電回路を得る。

【解決手段】 スwitchングトランジスタM1のサブストレータゲートにおける接続の切り替えを行う切替スイッチSW1を設け、入出力比較回路6によって、前記入力端子INの電圧が出力端子OUTの電圧以下である場合は、スイッチングトランジスタM1に対してサブストレータゲートがドレインに接続されるように切替スイッチSW1を制御し、入力端子INの電圧が出力端子OUTの電圧を超える場合は、スイッチングトランジスタM1に対してサブストレータゲートがソースに接続されるように切替スイッチSW1を制御するようにした。

【選択図】 図1

0 0 0 0 0 6 7 4 7

20020517

住所変更

東京都大田区中馬込1丁目3番6号

株式会社リコー

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP05/013528

International filing date: 15 July 2005 (15.07.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2004-211493
Filing date: 20 July 2004 (20.07.2004)

Date of receipt at the International Bureau: 18 August 2005 (18.08.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse